

СОДЕРЖАНИЕ

ПРЕДИСЛОВИЕ	9
Глава 1. ОСНОВНЫЕ ПОНЯТИЯ	10
1.1. Аналоговое и цифровое представление величин	10
1.1.1. Аналоговое представление величин	10
1.1.2. Цифровое представление величин	12
1.2. Бинарные и логические состояния	13
<i>Контрольный тест</i>	15
Глава 2. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ	17
2.1. Основные законы и элементы алгебры логики	17
2.1.1. Логический элемент И и операция логического умножения (конъюнкции)	17
2.1.2. Логический элемент ИЛИ и операция логического сложения (дизъюнкции)	18
2.1.3. Логический элемент НЕ и операция инверсии (отрицания)	19
2.1.4. Основные логические элементы	20
2.2. Комбинированные элементы	20
2.2.1. Логический элемент И-НЕ	20
2.2.2. Логический элемент ИЛИ-НЕ	21
2.2.3. Логический элемент эквивалентности	22
2.2.4. Логический элемент ИСКЛЮЧАЮЩЕЕ ИЛИ (XOR)	23
2.2.5. Комбинации элементов с двумя входами	24
2.3. Логические элементы с тремя и более входами	25
<i>Контрольный тест</i>	26
Глава 3. АНАЛИЗ СХЕМ	28
3.1. Таблица истинности и цифровая схема	28
3.1.1. Таблица истинности цифровой схемы с двумя входами	28
3.1.2. Таблица истинности цифровой схемы с тремя входами	29
3.2. Логические функции и цифровые схемы	31
3.2.1. Определение логической функции цифровой схемы	31
3.2.2. Синтез схемы по заданной логической функции	33
3.3. Требуемая функция и реальная функция	33
3.3.1. Как определить реальную логическую функцию	34
3.3.2. Поиск дефекта схемы	35
<i>Контрольный тест</i>	36
Глава 4. АЛГЕБРА ЛОГИКИ	38
4.1. Переменные и постоянные величины (константы)	38
4.2. Законы алгебры логики	39
4.3. Аксиомы и тождества алгебры логики	40
4.3.1. Аксиомы	40
4.3.2. Законы коммутативности и ассоциативности	40
4.3.3. Дистрибутивный закон	42
4.3.4. Теоремы де Моргана	44
4.3.5. Приоритеты логических операций	45
4.4. Функции И-НЕ и ИЛИ-НЕ	46
4.5. Примеры	52
<i>Контрольный тест</i>	55
Глава 5. СИНТЕЗ СХЕМ	58
5.1. Синтез схем на логических элементах по заданным условиям	58
5.2. Нормальные формы записи	59
5.2.1. Нормальная форма операции логического сложения ИЛИ	59



5.2.2. Нормальная форма операции логического умножения И	62
5.3. Упрощение и преобразование нормальной формы ИЛИ с помощью алгебры логики	63
5.3.1. Упрощение нормальной формы ИЛИ	63
5.3.2. Преобразование нормальной формы ИЛИ	64
5.4. Метод карт Карно	65
5.4.1. Карта Карно для двух переменных	65
5.4.2. Карта Карно для трех переменных	70
5.4.3. Карта Карно для четырех переменных	73
5.4.4. Карта Карно для пяти переменных	76
5.4.5. Карта Карно для более чем пяти переменных	79
5.5. Расчет логических схем	80
5.5.1. Общие указания	80
5.5.2. Цифровая схема включения и выключения из нескольких мест	81
5.5.3. Переключатель два из трех	82
5.5.4. Схема контроля четности	83
5.5.5. Пороговая логическая схема	85
5.5.6. Схема сравнения (компаратор)	86
5.5.7. Схема сортировки транзисторов	87
5.6. Задания по схемотехническому проектированию	88
5.6.1. Схема управления	88
5.6.2. Схема контроля нечетности	89
5.6.3. Мажоритарная схема	89
5.6.4. Схема блокировки	89
5.6.5. Анализатор показаний радаров	90
<i>Контрольный тест</i>	90
Глава 6. СЕМЕЙСТВА СХЕМ	92
6.1. Общие сведения	92
6.2. Бинарные уровни напряжения	93
6.3. Положительная и отрицательная логика	95
6.4. Свойства схем	97
6.4.1. Потребляемая мощность	97
6.4.2. Диапазон уровней и передаточная характеристика	97
6.4.3. Время переключения	99
6.4.4. Нагрузочная способность	100
6.4.5. Помехоустойчивость	101
6.4.6. Проводные логические операции	102
6.5. ДТЛ-схемы	104
6.5.1. Введение	104
6.5.2. Основные ДТЛ-схемы	104
6.5.3. МПЛ-схемы	107
6.6. ТТЛ-схемы	111
6.6.1. Строение и принцип действия ТТЛ-элементов	111
6.6.2. Стандартные ТТЛ-схемы	116
6.6.3. ТТЛ с пониженным энергопотреблением (Low-Power-TTL, LTTL)	128
6.6.4. Высокоскоростные ТТЛ (High-Speed-TTL, HTTL)	128
6.6.5. Шотки-ТТЛ (ТТЛШ)	129
6.6.6. ТТЛШ с пониженным энергопотреблением (Low-Power-ТТЛШ)	130
6.6.7. Сравнительная оценка логических элементов	131
6.7. Эмиттерно-связанная логика (ЭСЛ)	133
6.8. Логические элементы на МОП-транзисторах	137
6.8.1. Опасность статического электричества	137
6.8.2. Логические элементы на <i>p</i> -канальных МОП-транзисторах (<i>p</i> МОП)	137
6.8.3. Логические элементы на <i>n</i> -канальных МОП-транзисторах (<i>n</i> МОП)	140
6.8.4. Логические элементы на КМОП-транзисторах	141
<i>Контрольный тест</i>	149

Глава 7. БИНАРНЫЕ СХЕМЫ С ВРЕМЕННОЙ ЗАВИСИМОСТЬЮ	151
7.1. Введение	151
7.2. Классификация триггеров	154
7.3. Нетактируемые триггеры	157
7.3.1. Триггер на элементах ИЛИ-НЕ	157
7.3.2. Триггер на элементах И-НЕ	158
7.4. Тактируемые триггеры	159
7.4.1. <i>RS</i> -триггеры	159
7.4.2. <i>RS</i> -триггеры с доминирующим <i>R</i> -входом	161
7.4.3. <i>E</i> -триггер	162
7.4.4. <i>D</i> -триггер	163
7.4.5. Таблицы данных	163
7.5. Триггеры, управляемые по фронту синхроимпульса	167
7.5.1. Импульсные элементы	168
7.5.2. <i>RS</i> -триггеры, управляемые по одному фронту	169
7.5.3. <i>T</i> -триггеры, управляемые по одному фронту	171
7.5.4. <i>JK</i> -триггеры, управляемые по одному фронту	173
7.5.5. <i>D</i> -триггеры, управляемые по одному фронту	176
7.5.6. <i>RS</i> -триггеры, управляемые по обоим фронтам	179
7.5.7. <i>JK</i> -триггеры, управляемые по обоим фронтам	180
7.5.8. Дополнительные триггерные схемы	182
7.6. Временные диаграммы	186
7.7. Характеристические уравнения	189
7.8. Моностабильные ячейки	193
7.9. Элементы задержки	197
<i>Контрольный тест</i>	200
Глава 8. ДВОИЧНЫЕ КОДЫ И СИСТЕМЫ СЧИСЛЕНИЯ	202
8.1. Введение	202
8.2. Двоичная система счисления	202
8.2.1. Структура двоичной системы счисления	202
8.2.2. Перевод двоичных чисел в десятичную систему счисления	203
8.2.3. Перевод десятичных чисел в двоичную систему счисления	204
8.2.4. Вещественные двоичные числа (правильные дроби)	205
8.2.5. Сложение двоичных чисел	206
8.2.6. Вычитание двоичных чисел	207
8.2.7. Отрицательные двоичные числа	211
8.3. Двоично-десятичный код (<i>BCD</i> -числа)	213
8.3.1. Представление чисел в двоично-десятичном коде	213
8.3.2. Сложение в <i>BCD</i> -формате	214
8.3.3. Вычитание в <i>BCD</i> -формате	216
8.4. Другие тетрадные системы счисления	217
8.4.1. Код с избытком три	218
8.4.2. Код Айкена	219
8.4.3. Код Грея	221
8.5. Шестнадцатеричная система счисления (<i>Hexadecimal</i>)	222
8.5.1. Структура шестнадцатеричной системы счисления	222
8.5.2. Перевод шестнадцатеричных чисел в десятичную систему счисления	223
8.5.3. Перевод десятичных чисел в шестнадцатеричную систему счисления	224
8.5.4. Перевод двоичных чисел в шестнадцатеричную систему счисления	225
8.5.5. Перевод шестнадцатеричных чисел в двоичную систему счисления	228
8.6. Восьмеричная система счисления (<i>Octal</i>)	228
8.6.1. Структура восьмеричной системы счисления	228
8.6.2. Преобразование восьмеричных чисел	229
8.7. Коды, распознающие ошибки	231
8.7.1. Понятие избыточности	231



8.7.2. Дополнительный двоичный код	232
8.7.3. Код 2 из 5	233
8.7.4. Код 3 из 5	234
8.7.5. Код 2 из 7	235
8.8. Коды, исправляющие ошибки	235
8.8.1. Принцип действия	235
8.8.2. Код Хемминга	236
<i>Контрольный тест</i>	239
Глава 9. ПРЕОБРАЗОВАТЕЛИ КОДОВ И УРОВНЕЙ	243
9.1. Преобразователи кодов	243
9.1.1. Расчет преобразователей кода	243
9.1.2. Преобразователи десятичного кода в <i>VCD</i> -код	245
9.1.3. Преобразователи <i>VCD</i> -кода в десятичный код	247
9.1.4. Преобразователи десятичного кода в код с избытком 3	250
9.1.5. Преобразователи кода с избытком 3 в десятичный код	250
9.1.6. Преобразователи десятичного кода в семисегментный	251
9.1.7. Преобразователи <i>VCD</i> -кода в семисегментный	252
9.2. Преобразователи уровней	258
9.2.1. Введение	258
9.2.2. Структура преобразователей уровня	259
9.2.3. Интегральные преобразователи уровня	260
<i>Контрольный тест</i>	262
Глава 10. СЧЕТЧИКИ И ДЕЛИТЕЛИ ЧАСТОТЫ	263
10.1. Счет и разновидности счетчиков	263
10.2. Асинхронные счетчики	264
10.2.1. Асинхронные двоичные счетчики	264
10.2.2. Асинхронные <i>VCD</i> -счетчики (в двоично-десятичном коде)	265
10.2.3. Асинхронный декадный счетчик	280
10.2.4. Асинхронные счетчики по модулю <i>n</i>	281
10.2.5. Асинхронные счетчики с произвольным коэффициентом пересчета	283
10.2.6. Асинхронные счетчики для кода Айкена	284
10.2.7. Асинхронные счетчики для кода с избытком 3	284
10.3. Синхронные счетчики	285
10.3.1. Принцип действия	285
10.3.2. Синхронные двоичные счетчики	286
10.3.3. Расчет синхронных счетчиков	290
10.3.4. Синхронные <i>VCD</i> -счетчики	296
10.3.5. Синхронный счетчик для кода с избытком 3	301
10.4. Делители частоты	305
10.4.1. Асинхронные делители частоты с фиксированным коэффициентом пересчета <i>K</i>	306
10.4.2. Синхронные делители частоты с фиксированным коэффициентом пересчета <i>K</i>	308
10.4.3. Делитель частоты с регулируемым коэффициентом пересчета	310
<i>Контрольный тест</i>	310
Глава 11. ЦИФРОВЫЕ СХЕМЫ ВЫБОРКИ И СВЯЗИ	314
11.1. Цифровой коммутатор, мультиплексор и демультиплексор	314
11.1.1. Мультиплексор 4 в 1	314
11.1.2. Цифровой селектор 2 × 4 в 4	315
11.1.3. Цифровой селектор 4 × 8 в 8	316
11.1.4. Цифровой селектор-мультиплексор 16 в 1	316
11.1.5. Демультиплексор 1 в 4	316
11.2. Дешифраторы	319
11.2.1. 2-битовые дешифраторы	319
11.2.2. 4-битовые дешифраторы	319

11.3. Цифровые компараторы	321
11.3.1. 1-битовый компаратор	321
11.3.2. 3-битовый компаратор для <i>VCD</i> -кода (двоично-десятичного кода)	322
11.3.3. 4-битовый компаратор для двоичного кода	324
11.4. Шины данных	325
11.4.1. Структура и принцип действия	325
11.4.2. Стандарты шин	327
<i>Контрольный тест</i>	328
Глава 12. РЕГИСТРЫ И ЗАПОМИНАЮЩИЕ УСТРОЙСТВА	329
12.1. Сдвигающие регистры	329
12.1.1. Сдвигающие последовательные регистры	329
12.1.2. Сдвигающие регистры с параллельным считыванием	332
12.1.3. Сдвигающие регистры с параллельным вводом—выводом данных	333
12.1.4. Кольцевой сдвигающий регистр	335
12.1.5. Сдвигающие реверсивные регистры	336
12.2. Регистры хранения	336
12.3. Оперативные запоминающие устройства (RAM)	338
12.3.1. Статические ОЗУ (SRAM)	339
12.3.2. Динамические ОЗУ (DRAM)	342
12.3.3. Организация элементов памяти и ее параметры	344
12.4. Постоянные запоминающие устройства (ПЗУ, ROM)	356
12.5. Программируемое постоянное запоминающее устройство (ППЗУ, PROM)	360
12.6. Перепрограммируемые постоянные запоминающие устройства	361
12.6.1. EPROM и REEPROM	361
12.6.2. Постоянные запоминающие устройства EEROM (ЭСППЗУ — электрически стираемое программируемое постоянное запоминающее устройство) и EAROM	367
12.7. Магнитные запоминающие устройства	368
12.7.1. Магнитные кольца	368
12.7.2. Матрица магнитных колец памяти	369
12.7.3. Чтение и запись	369
12.8. Память на магнитных доменах	371
12.8.1. Цилиндрические магнитные домены	371
12.8.2. Магнитные дорожки	372
12.8.3. Запись информации	374
12.8.4. Чтение информации	374
12.8.5. Структура магнитной памяти	375
<i>Контрольный тест</i>	376
Глава 13. ЦИФРОАНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ, АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ	378
13.1. Цифроаналоговый преобразователь (ЦАП)	378
13.1.1. Принцип цифроаналогового преобразования	378
13.1.2. Цифроаналоговые преобразователи с весовыми резисторами	379
13.1.3. <i>R/2R</i> -ЦАП	381
13.2. Аналого-цифровой преобразователь (АЦП)	382
13.2.1. Принцип аналого-цифрового преобразования	382
13.2.2. АЦП последовательного счета	385
13.2.3. АЦП с двойным интегрированием (Dual Slope)	386
13.2.4. АЦП компенсационного типа	388
13.2.5. АЦП по принципу напряжение—частота	390
13.2.6. АЦП прямого преобразования	391
<i>Контрольный тест</i>	392
Глава 14. СЧЕТНЫЕ СХЕМЫ	393
14.1. Полусумматор	393
14.2. Полные сумматоры	394



14.3. Параллельный сумматор	398
14.4. Последовательный сумматор	398
14.5. Схемы вычитания	400
14.5.1. Полувычитатель	400
14.5.2. Полный вычитатель	402
14.5.3. 4-битовый вычитатель	403
14.5.4. Вычитатель на полных сумматорах	404
14.6. Универсальный сумматор-вычитатель	405
14.7. Умножители	408
14.7.1. Параллельные умножители	408
14.7.2. Последовательный умножитель	411
<i>Контрольный тест</i>	412
Глава 15. МИКРОПРОЦЕССОРЫ И МИКРОКОМПЬЮТЕРЫ	414
15.1. Микропроцессор как универсальная схема	414
15.2. Арифметико-логическое устройство (АЛУ)	414
15.3. Аккумулятор	417
15.4. Аккумулятор с памятью	419
15.5. Программно-управляемый упрощенный компьютер	421
15.6. Микропроцессоры	423
15.6.1. Виды микропроцессоров	423
15.6.2. Микропроцессор SAB 8080A	425
15.6.3. Дополнительные модули для микропроцессоров	427
15.7. Микрокомпьютер	430
<i>Контрольный тест</i>	432
Глава 16. ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ СХЕМЫ	433
16.1. Логические схемы, программируемые изготовителем	433
16.2. Логические схемы, программируемые потребителем	435
16.2.1. Основы	435
16.2.2. PAL-схемы	438
16.2.3. GAL-схемы	440
16.2.4. FPLA-схемы	445
16.2.5. PROM-схемы	447
16.2.6. MACRO-схемы	447
16.3. Разновидности PLD	449
16.4. Программирование PLD	450
<i>Контрольный тест</i>	450
Глава 17. РЕШЕНИЯ ЗАДАНИЙ КОНТРОЛЬНЫХ ТЕСТОВ	453