



Федеральное государственное бюджетное научное учреждение
НАУЧНО-ПРОИЗВОДСТВЕННЫЙ КОМПЛЕКС
«ТЕХНОЛОГИЧЕСКИЙ ЦЕНТР»

МИР электроники

Серия практических пособий в 4 книгах
«ПОЛУЗАКАЗНЫЕ БИС НА БМК СЕРИЙ 5503 и 5507»

КНИГА 4

Ю.А. Степченков
А.Н. Денисов
Ю.Г. Дьяченко
Ф.И. Гринфельд
О.П. Филимоненко
Н.В. Морозов
Д.Ю. Степченков
Л.П. Плеханов

Под общей редакцией
академика РАН А.Н. Саурова

Библиотека
функциональных ячеек
для проектирования
самосинхронных
полужаказных микросхем
серий 5503 и 5507

ТЕХНОСФЕРА
Москва
2017

УДК 621.3
ББК 31.2
П53

Рецензент:

Захаров В.Н. – доктор технических наук

П53 Полузаказные БИС на БМК серий 5503 и 5507. В 4 кн.: Практик. пособие. Кн. 4.
Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд,
О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков, Л.П. Плеханов
Библиотека функциональных ячеек для проектирования самосинхронных
полузаказных микросхем серий 5503 и 5507
/ Под общ. ред. академика РАН А.Н. Саурова

Москва: ТЕХНОСФЕРА, 2017. – 376 с. ISBN 978-5-94836-441-4

Это четвертая книга серии учебных пособий из 4 книг, посвященных общим сведениям о базовых матричных кристаллах, вопросам методологии проектирования, средствам проектирования САПР «Ковчег» и библиотекам ячеек полузаказных микросхем серий 5503 и 5507.

Книга содержит описание библиотеки функциональных ячеек, предназначенных для проектирования средствами САПР «Ковчег» самосинхронных интегральных микросхем на основе базовых матричных кристаллов серий 5503 и 5507. Самосинхронные схемы характеризуются рядом параметров, выгодно отличающих их от синхронных схем, в том числе устойчивостью функционирования к разбросу и отклонениям параметров элементной базы из-за старения элементов.

В книге представлена методология проектирования самосинхронных электронных изделий на базе самосинхронных функциональных ячеек, а также методическое руководство по анализу самосинхронности схем ограниченного объема методом диаграмм переходов.

Предназначена для разработчиков радиоэлектронной аппаратуры, а также для преподавателей, студентов старших курсов и аспирантов, изучающих современные методы проектирования специализированных БИС.

УДК 621.3
ББК 31.2

© АО «РИЦ «ТЕХНОСФЕРА», оригинал-макет, оформление, 2017
© Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И.,
Филимоненко О.П., Морозов Н.В., Степченков Д.Ю., Плеханов Л.П., 2017

ISBN 978-5-94836-441-4

Введение

Представляемая библиотека ячеек предназначена для реализации самосинхронизирующихся (далее для краткости — самосинхронных, СС) устройств, независимых от задержек ячеек (НЗЯ). В ее состав входят базовые ячейки и макроячейки, отсутствующие в основной библиотеке функциональных ячеек базовых матричных кристаллов (БМК) серий 5503 и 5507¹.

Данная библиотека СС-ячеек (в САПР «Ковчег» она обозначается как 5503СС) является расширением унифицированной библиотеки функциональных ячеек (в САПР «Ковчег» она обозначается как 5503), которая ориентирована на разработку синхронных и асинхронных полужаказных микросхем на БМК серий 5503 и 5507. Предлагаемое вашему вниманию практическое пособие входит в состав серии из 4 книг «Полужаказные БИС на БМК серий 5503 и 5507», поэтому в нем не приводятся сведения о конструкции, электрических параметрах и другая информация о БМК серий 5503 и 5507, приведенная в других книгах серии.

Термин «независимые от задержек ячеек» означает, что любой инициированный извне переходный процесс в элементе должен быть индцирован (зафиксирован факт его окончания) и задержка любого компонента элемента (например инвертора) может иметь произвольное конечное значение. Ячейки НЗЯ-библиотеки могут быть использованы для построения синхронных, асинхронных или квазисамосинхронных устройств, в которых приведенные условия не соблюдаются или соблюдаются частично. Все ячейки классов «Логические ячейки, выполняющие простую функцию» и «Логические ячейки, выполняющие сложную функцию» не содержат какой-либо самосинхронной специфики и могут рассматриваться как расширение традиционных библиотек логических ячеек. В дальнейшем, если это не оговорено особо, под термином «самосинхронный» (СС) будет пониматься НЗЯ-исполнение.

Описания ячеек содержат краткие структурно-функциональные характеристики, логические функции, таблицы истинности и (если необходимо) сигнальные графы. В нотации логических функций используются символы логических операций сложения «+», умножения «*» и инверсии «/».

СС-ячейки обеспечивают индикацию окончания процессов перехода из рабочей фазы в промежуточную (спейсер) и обратно.

Спейсеры могут принимать значения 0 и 1.

В соответствии с принципами СС-схемотехники схемы имеют на входе какие-либо сигналы следующих типов или их сочетание:

- информационные унарные (непарные) входные сигналы;
- информационные бифазные (парные) сигналы;
- информационные парафазные сигналы без спейсера;
- информационные парафазные сигналы со спейсером;
- индикаторные унарные сигналы;
- управляющие сигналы (сигналы разрешения),
- мультистабильные сигналы.

¹ А.Н. Денисов, Ю.П. Фомин, В.В. Коняхин, Р.А. Фёдоров / Под общ. ред. А.Н. Саурова. Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507. М.: Техносфера, 2012. — 304 с.

Под информационным унарным сигналом понимается обычный непарный сигнал, например унарный вход D у D-триггера.

Под бифазным сигналом (БФ) понимается пара выходов бистабильной ячейки (название сигнала указывает на его родственную связь с такой ячейкой). Бифазный сигнал имеет два устойчивых состояния (01 и 10) и только одно транзитное (переходное) состояние (00 или 11).

Под парафазным сигналом без спейсера (ПФ) понимается пара сигналов, имеющая два устойчивых состояния (01 и 10) и два транзитных состояния (00 и 11). Пример – вход и выход инвертора.

Под парафазным сигналом со спейсером (ПФС) понимается представление исходного одноразрядного сигнала двумя битами. Например, 0 кодируется как 01, а 1 – как 10. Роль спейсера играет один из двух наборов – 00 или 11. Сигнал ПФС имеет три устойчивых состояния: 01, 10 и 00 (или 11).

Под мультистабильным сигналом (МС) понимается совокупность из m сигналов, имеющая одно спейсерное состояние, в котором все сигналы принимают одинаковое значение, и m рабочих состояний, в каждом из которых только один из сигналов принимает значение, противоположное спейсерному. Пример – сигналы выборки однокаскадного мультиплексора.

Если библиотечная ячейка не имеет сигнала разрешения записи, то тип спейсера в названии ячейки указывает на тип спейсера информационных ПФС-входов; например, в названии ячейки R010 (однотактный RS-триггер с нулевым спейсером) состояние спейсера (режима хранения информации) определяет состояние информационных ПФС-сигналов – RS = 00.

Если библиотечная ячейка имеет сигнал разрешения записи (например, R0E10 – однотактный RS-триггер с нулевым спейсером и разрешением записи), то в названии ячейки указывается тип спейсера именно по сигналу разрешения записи. В данном случае нулевое значение сигнала разрешения записи запрещает запись в триггер состояния информационных RS-входов и триггер хранит информацию, записанную в него ранее.

Для ячеек с разрешением записи тип спейсера управляющего сигнала, указанный в названии ячейки, может совпадать или отличаться от типа спейсера информационных ПФС-сигналов. Например, у ячейки R0RE11 они совпадают, а у ячейки R0RE12 – отличаются. Тип спейсера информационных ПФС-сигналов, если таковые используются, указывается в тексте описания ячейки и в таблице истинности.

На рисунках приняты следующие обозначения:

B (BB) – прямой (обратный) сигнал БФ-сигнала, например B2, B2B – второй БФ-сигнал на входе индикатора АОАОАІ;

C – унарный сигнал самосинхронного сброса в нуль;

D – информационный унарный сигнал (сигнал данных);

E – управляющий сигнал (сигнал разрешения);

G – идентификатор гистерезисного триггера в аббревиатуре названия ячейки и обозначении выполняемой им функции;

I – унарный сигнал индикации текущей фазы работы схемы;

P – унарный сигнал самосинхронной установки в единицу;

P (PB) – прямой (обратный) сигнал ПФС-сигнала;

R , RT – унарный сигнал синхронного (асинхронного) сброса;

$R + S$ – парный информационный сигнал сброса/установки RS-триггера;

$RT + ST$ – парный управляющий сигнал СС-сброса/установки RS-триггера;

S , ST – унарный сигнал синхронной или асинхронной установки в единицу;

W – унарный управляющий сигнал разрешения самосинхронного сброса/установки с использованием парных сигналов RT , ST ;

0 (1) — идентификатор нулевого (единичного) спейсера в аббревиатуре названия ячейки и обозначении функции, выполняемой ячейкой.

Знаком «+» в имени сигнала помечено его будущее значение.

Символ «*» в таблицах истинности означает любое возможное состояние, «X» — неопределенное состояние.

Символ $\boxtimes$ в условном графическом обозначении (УГО) означает, что это ячейка с тремя состояниями и доопределением до высокого уровня.

Символ $\boxdot$ в УГО означает, что это ячейка с тремя состояниями и доопределением до низкого уровня.

Символ $\boxminus$ в УГО означает, что выходы ячейки в рабочих состояниях — инверсные, а в состоянии спейсера — одинаковые.

В таблице истинности для ряда ячеек, например G0P2, G0PI, G0PI2, G1P2, G1PI, G1PI2 и других, некоторые комбинации входов помечены (выделены серым) как запрещенные. С позиций самосинхронизации эти состояния недопустимы, так как нарушается контроль действительного окончания переходных процессов. Если такие комбинации появятся на входах ячейки, система моделирования «Ковчег» выдаст предупреждение пользователю.

В таблице задержек ячейки приведены задержки переключения соответствующего выхода ячейки при изменении входа, указанного в пути, для БМК серии 5503/5507. Значения t^{01} и t^{10} соответствуют задержкам переключения выхода из состояния с низким уровнем (логического 0) в состояние с высоким уровнем (логическую 1) и наоборот.

Термин «каскадность ячейки» используется в данном руководстве в двух смыслах: логическом и электрическом. В логическом смысле термин «каскадность» используется при описании логических ячеек, выполняющих сложную функцию. В начале имени ячейки указывается обозначение функции групп входов первого каскада и количество входов каждой группы. Далее дается обозначение функций второго и третьего каскадов.

На рис. 1 показаны УГО трех ячеек. В соответствии с термином *логической* каскадности ячейки AND4 и AND4M — однокаскадные, а ячейка A44OI — двухкаскадная.

В СС-схемотехнике термин «однокаскадность» используется в *электрическом* смысле. При этом однокаскадной является ячейка, имеющая один внешний выход, одну одноходовую функциональную часть, определяющую логическую функцию ячейки, и в некоторых случаях один или несколько инверторов или повторителей. В соответствии с этим определением AND4 — двухкаскадная ячейка, AND4M и A44OI — однокаскадные.

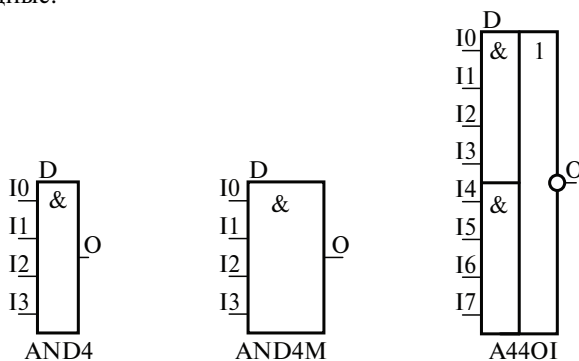


Рис. 1. Примеры УГО логических ячеек

В СС-схеме необходимо формирование общего (глобального) сигнала окончания переходных процессов путем сборки локальных сигналов индикации. На рис. 2 приведены примеры реализации так называемого гистерезисного триггера (G-триггера) GI2 – индикатора двух локальных сигналов индикации.

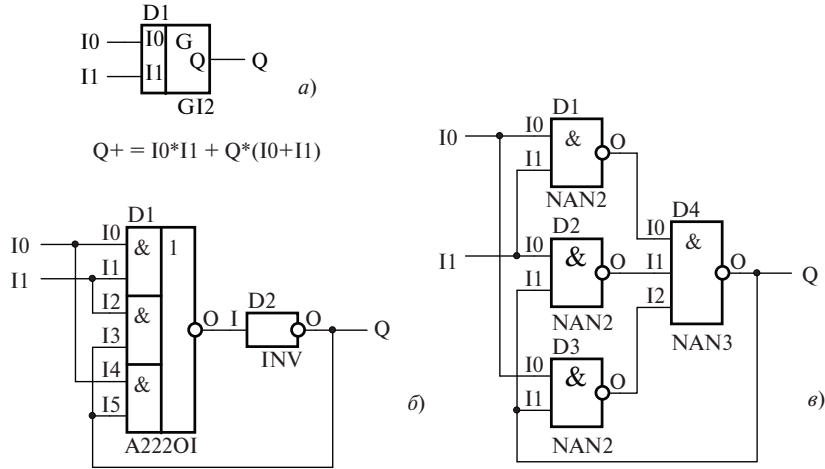


Рис. 2. Двухвходовой G-триггер: (а) УГО и выполняемая функция, (б) корректная и (в) некорректная реализации

Если наборы на входах *I0* и *I1* (00 и 11) фиксируются на длительное время, за которое успевают закончиться все переходные процессы, оба варианта реализации (б) и (в) свободны от состязаний. Однако если в схеме (б) изменение выхода – признак окончания всех переходных процессов, то в схеме (в) после изменения выхода переходные процессы в первом каскаде могут продолжаться.

G-триггер должен индицировать окончание переходных процессов не только в схемах, формирующих его входы, но и в себе самом. При этом предполагается, что логические состязания на уровне одной однокаскадной ячейки невозможны, т.к. время ее переключения определяется в основном перезарядом ее выходной емкости.

Рассмотрим возможные состязания в схеме (в) G-триггера. Исходное состояние *I0* = *I1* = 0, при этом на выходах всех ячеек первого каскада логическая 1, а *Q* = 0. Изменение выхода (*Q* = 1) произойдет после того, как выполнится условие *I0* = *I1* = 1. Предположим, что задержки ячеек *D2* и *D3* так велики, что сигналы на их выходах остались равными 1, в то время как один из входов *I0* или *I1* перешел в исходное состояние 0. При этом выход ячейки *D1* станет равным 1. Тогда выход *Q* может перейти из 1 в 0, не дожидаясь окончания переходных процессов в других ячейках первого каскада, т.е. выполнения условия *I0* = *I1* = 0; схема, таким образом, не выполнит функцию индикатора.

Таблица истинности ячейки GI2²

№ строки	Входы		Выход
	I0	I1	Q
1	0	0	0
2	0	1	хранение
3	1	0	хранение
4	1	1	1

² Напомним, что самосинхронная схема (в данном случае G-триггер) должна работать корректно при любых величинах задержек в ее элементах.

Реализация сложных индикаторных и функциональных СС-ячеек, эффективных по быстродействию и аппаратным затратам, требует более разнообразных однокаскадных ячеек в универсальном функциональном базисе И-ИЛИ-НЕ/ИЛИ-И-НЕ. Этим объясняется ввод в библиотеку ячеек в базисе И-ИЛИ-НЕ и ИЛИ-И-НЕ, не имеющих СС-специфики.

В настоящем пособии представлено 193 ячейки и 13 макроячеек.

В пособие вошло четыре раздела. Каждый раздел имеет составную нумерацию страниц, включающую в себя номер раздела и номер страницы в пределах раздела.

• *Раздел 1. Система обозначений и состав библиотек 5503СС/5507СС*

В разделе представлена система буквенных обозначений библиотечных ячеек, состав групп ячеек с указанием имени, выполняемой функции и страницы, на которой приведено описание ячейки.

• *Раздел 2. Описание базовых логических функциональных ячеек*

В разделе в алфавитном порядке представлены описания базовых логических ячеек. Для каждой ячейки указываются ее основные данные, а именно: имя ячейки, графический образ, описание функционирования, таблица истинности, расчетные значения задержек распространения сигналов, рекомендуемые значения нагрузочной способности выходов, топологический размер ячейки, а также, при их наличии, приводится список выводов, у которых коэффициент объединения по входу отличен от единицы.

• *Раздел 3. Методология проектирования самосинхронных схем*

В разделе рассмотрены основные принципы и методы проектирования самосинхронной схемотехники. С учетом относительной новизны самосинхронных схем на качественном уровне описываются отличия синхронных, асинхронных и самосинхронных схем. Приводится перечень потенциальных преимуществ самосинхронных схем и причины медленного развития самосинхронной схемотехники. Приводится классификация самосинхронных схем. Излагаются основные принципы проектирования комбинационных и последовательностных схем. Подробно рассматриваются вопросы конвейеризации самосинхронных схем, реализации отказоустойчивости самосинхронных схем и оптимизации их энергопотребления. Раздел завершается рассмотрением ограничений при проектировании самосинхронных схем и организации интерфейса между синхронными и самосинхронными схемами.

• *Раздел 4. Анализ самосинхронности схем ограниченного объема методом диаграмм переходов*

В разделе изложено руководство по квалификационному анализу разработанных схем на предмет их соответствия принципам самосинхронности.

Рассматривается анализ схем на самосинхронность с помощью одной из программ, которая находится в открытом доступе и которую можно использовать для начального освоения самосинхронных схем и разработки самосинхронных схем ограниченного объема. Приводятся примеры анализа как комбинационных, так и последовательностных схем; описывается процедура диагностики в процессе анализа схем — как корректных, самосинхронных схем, так и схем, содержащих нарушения самосинхронности.

Описание базовых функциональных ячеек для разработки самосинхронных схем и методология их проектирования

1	Система обозначений и состав библиотек 5503CC/5507CC	1
---	--	---

Описание базовых функциональных ячеек	2
---	---

Методология проектирования самосинхронных схем	3
--	---

Анализ самосинхронности схем ограниченного объема методом диаграмм переходов.....	4
--	---

Раздел I. Система обозначений и состав библиотек 5503CC/5507CC

Основные группы функциональных ячеек.....	1-2
Логические ячейки, выполняющие простую функцию.....	1-2
Логические функции, выполняющие сложную функцию.....	1-3
Мультиплексоры.....	1-5
Преобразователи, компараторы, мажоритарные ячейки	1-5
Индикаторные ячейки.....	1-6
Триггеры — части макроячеек	1-9
Функционально законченные триггеры.....	1-11
Разряд последовательного счетчика	1-14
Разряд сдвигового регистра.....	1-15
Ячейки одноразрядного сумматора	1-16
Арбитры	1-16
Ячейки шины.....	1-17
Макроячейки	1-17

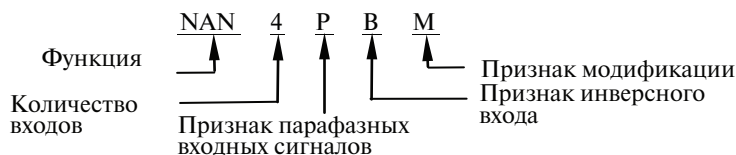
Основные группы функциональных ячеек

В состав библиотеки 5503СС/5507СС входят следующие классы ячеек:

- базовые ячейки:
 - логические ячейки, выполняющие простую функцию;
 - логические ячейки, выполняющие сложную функцию;
 - мультиплексоры;
 - преобразователи, компараторы, мажоритарные ячейки;
 - индикаторные ячейки;
 - триггеры – части макроячеек;
 - функционально законченные триггеры;
 - разряд последовательного счетчика;
 - разряд сдвигового регистра;
 - ячейки одноразрядного сумматора;
 - арбитры;
 - ячейки шины;
- макроячейки.

Логические ячейки, выполняющие простую функцию

Имя логической ячейки, выполняющей простую функцию, включает в себя название функции, общее количество входов, признак парафазных входных сигналов, признак инверсного выхода, признак модификации данной ячейки (может отсутствовать).



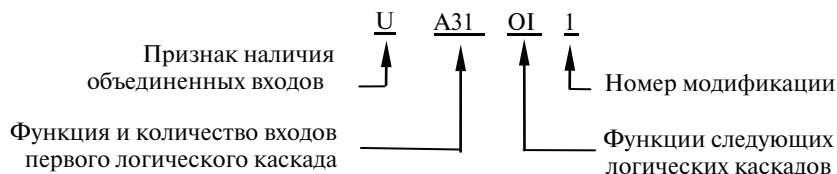
Обозначения функций:

- **AND** – И;
- **NAN** – И-НЕ;
- **NOR** – ИЛИ-НЕ;
- **OR** – ИЛИ.

Имя	Функция	Страница
AND4M	4И: $I_0 * I_1 * I_2 * I_3$	2-11
NAN4	4И-НЕ: $/(I_0 * I_1 * I_2 * I_3)$	2-124
NOR4	4ИЛИ-НЕ: $/(I_0 + I_1 + I_2 + I_3)$	2-124
OR4M	4ИЛИ: $I_0 + I_1 + I_2 + I_3$	2-139

Логические ячейки, выполняющие сложную функцию

Имя логической ячейки, реализующей сложную функцию, включает в себя признак наличия объединенных входов, название функции первого логического каскада, количество входов первого каскада, названия функций следующих логических каскадов, номер модификации ячейки (может отсутствовать).



Обозначения функций:

- **A** – И (AND);
- **O** – ИЛИ (OR);
- **I** – функция инверсии.

Если имя логической ячейки превышает 6 знаков, то количество входов первого каскада может быть опущено.

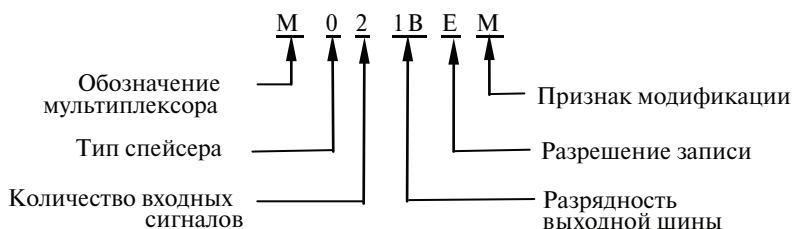
Имя	Функция	Страница
A221OI	$/(I0*I1+I2*I3+I4)$	2-2
A2222I	$/(I0*I1+I2*I3+I4*I5+I6*I7)$	2-2
A222OI	$/(I0*I1+I2*I3+I4*I5)$	2-2
A2O3I	$/(I0*I1+I2+I3)$	2-3
A2O4I	$/(I0*I1+I2+I3+I4)$	2-3
A2OAI	$/((I0*I1+I2)*I3)$	2-3
A31OI1	$/(I0*I1*I2+I3)$	2-4
A322OI	$/(I0*I1*I2+I3*I4+I5*I6)$	2-4
A32OI	$/(I0*I1*I2+I3*I4)$	2-4
A333OI	$/(I0*I1*I2+I3*I4*I5+I6*I7*I8)$	2-5
A33OI	$/(I0*I1*I2+I3*I4*I5)$	2-5
A41OI	$/(I0*I1*I2*I3+I4)$	2-5
A42OI	$/(I0*I1*I2*I3+I4*I5)$	2-6
A43OI	$/(I0*I1*I2*I3+I4*I5*I6)$	2-6
A44OI	$/(I0*I1*I2*I3+I4*I5*I6*I7)$	2-6
AOAI1	$/((I0*I1+I2*I3)*I4)$	2-11
AOAI2	$/((I0*I1+I2*I3+I4)*I5)$	2-12
AOAI8	$/((I0*I1+I2)*(I3*I4+I5))$	2-12
AOAO1	$(I0*I1+I2*I3)*I4+(I3*I5+I1*I6)*I7$	2-13
AOAOI1	$/((I0*I1+I2*I3)*I4+I5)$	2-16
AOAOI2	$/((I0*I1+I2*I3)*I4+I5*I6+I7*I8)$	2-16
AOAOI3	$/((I0*I1+I2*I3)*I4+I5*I6)$	2-18
AOAOI5	$/((I0*I1+I2)*I3+I4)$	2-20

Имя	Функция	Страница
АОАОI6	$/(((I0*I1+I2)*I3+I4)*I5+I6)$	2-21
АОАОI7	$/(((I0*I1+I2)*I3+(I4*I5+I6)*I7)$	2-21
O221AI	$/((I0+I1)*(I2+I3)*I4)$	2-106
O2222I	$/(((I0+I1)*(I2+I3)*(I4+I5)*(I6*I7))$	2-106
O222AI	$/(((I0+I1)*(I2+I3)*(I4+I5))$	2-107
O2A3I	$/((I0+I1)*I2*I3)$	2-107
O2A4I	$/((I0+I1)*I2*I3*I4)$	2-108
O2AOI	$/((I0+I1)*I2+I3)$	2-108
O322AI	$/(((I0+I1+I2)*(I3+I4)*(I5+I6))$	2-109
O32AI	$/(((I0+I1+I2)*(I3+I4))$	2-109
O331AI	$/(((I0+I1+I2)*(I3+I4+I5)*I6)$	2-110
O333AI	$/(((I0+I1+I2)*(I3+I4+I5)*(I6+I7+I8))$	2-110
O33AI	$/((I0+I1+I2)*(I3+I4+I5))$	2-111
O3AI1	$/(((I0+I1+I2)*I3)$	2-111
O41AI	$/(((I0+I1+I2+I3)*I4)$	2-112
O42AI	$/(((I0+I1+I2+I3)*(I4+I5))$	2-112
O43AI	$/(((I0+I1+I2+I3)*(I4+I5+I6))$	2-113
O44AI	$/(((I0+I1+I2+I3)*(I4+I5+I6+I7))$	2-113
ОАОАI	$((I0+I1)*(I2+I3)+I4)*((I3+I5)*(I1+I6)+I7)$	2-114
ОАОАI1	$/(((I0+I1)*(I2+I3)+I4)*I5)$	2-114
ОАОАI2	$/(((I0+I1)*(I2+I3)+I4)*(I5+I6)*(I7+I8))$	2-115
ОАОАI3	$/(((I0+I1)*(I2+I3)+I4)*(I5+I6))$	2-115
ОАОАI5	$/(((I0+I1)*I2+I3)*I4)$	2-116
ОАОАI6	$/((((I0+I1)*I2+I3)*I4+I5)*I6)$	2-117
ОАОАI7	$/(((I0+I1)*I2+I3)*((I4+I5)*I6+I7))$	2-117
ОАОI1	$/((I0+I1)*(I2+I3)+I4)$	2-118
ОАОI2	$/((I0+I1)*(I2+I3)*I4+I5)$	2-119
ОАОI8	$/((I0+I1)*I2+(I3+I4)*I5)$	2-119
UОАОАI	$/(((I0+I1)*I3+I0*I1)*I2)$	2-217
UОАОI	$/((I0*(I1+I2)+I1*I3)$	2-217
UОАОI1	$/((I0+I1)*I2+I0*I1*I3)$	2-217
UОАОI2	$/((I0+I1+I2)*I3+I0*I1)$	2-218
UОАОI3	$/((I0+I1)*(I2+I3)+I2*I3)$	2-218
UОАОI4	$/((I0*I1*(I2+I3)+I2*I3)$	2-218
UОАОI5	$/((I0+I1)*I2+I0*I1+I3)$	2-219
UОАОI6	$/(((I0+I1+I2)*I3+I0*I1*I2)$	2-219
UОАОI7	$/(((I0+I1)*I2*I3+I0*I1*(I2+I3))$	2-219
UОАОI8	$/(((I0+I3)*(I1+I2)+I0*I3+I1*I2)$	2-220
UОАОI9	$/(((I0+I1+I2+I3)*I4+I0*I1*I2*I3)$	2-220

Мультиплексоры

Мультиплексор — ячейка, выполняющая функцию передачи одного из нескольких входных сигналов на выход в зависимости от значения входного управляющего кода.

Имя мультиплексора включает в себя название функции, тип спейсера, количество входных парафазных шин, разрядность выходной парафазной шины, разрешение записи, признак модификации.



Разрядность выходной шины обозначается буквой **В** и цифрой.

В случае одноразрядного сигнала признак шины отсутствует, а буква **В** означает инверсию выходного сигнала.

Сигнал разрешения **Е** и признак модификации **М** могут отсутствовать.

Имя	Функция	Страница
M021BE	Мультиплексор из 2 в 1 с нулевым спейсером, инверсией выходов и разрешением	2-98
M021EM	Мультиплексор из 2 в 1 с нулевым спейсером, мощным выходом и разрешением	2-100
M021M	Мультиплексор из 2 в 1 с нулевым спейсером и мощным выходом	2-102

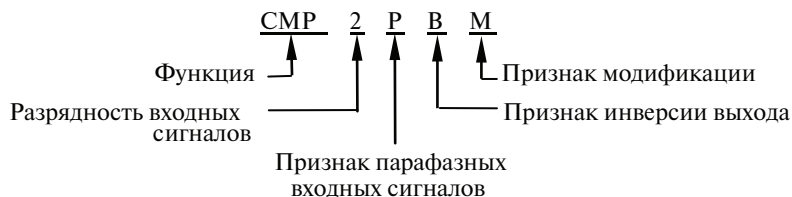
Преобразователи, компараторы, мажоритарные ячейки

Преобразователь — логическая ячейка, преобразующая бифазный сигнал в парафазный.

Компаратор — логическая ячейка, выполняющая логическую функцию сравнения двух двоичных чисел.

Мажоритарная ячейка — логическая ячейка, выполняющая логическую функцию мажорирования трех чисел (унарных или бинарных).

Имя ячейки включает в себя название функции, разрядность входных сигналов, признак парафазных входных сигналов, признак инверсии выхода и признак модификации (необязательные).



Обозначения функций:

- **ВРС** — преобразование бифазного сигнала в парафазный;
- **СМР** — сравнение двух чисел с выработкой сигнала эквивалентности;
- **МАЈ** — мажорирование.

Разрядность сравниваемых чисел может иметь значения 2, 4, 8, 16. Для одно-разрядных компараторов разрядность не указывается.

Признак модификации **М** может отсутствовать.

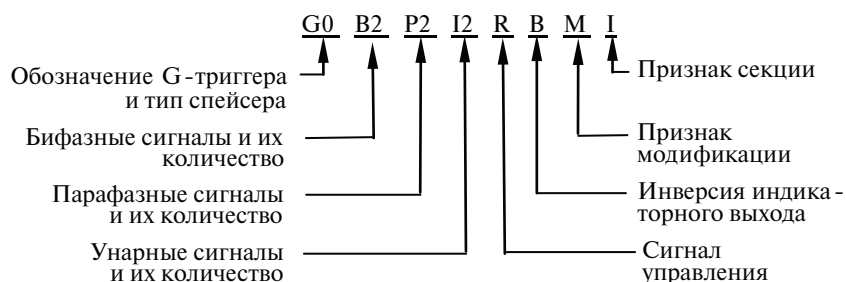
Имя	Функция	Страница
ВРС0	Преобразователь бифазного сигнала в парафазный с нулевым спейсером	2-23
ВРС1	Преобразователь бифазного сигнала в парафазный с единичным спейсером	2-24
СМРР	Одноразрядный компаратор для парафазных сигналов с выработкой сигнала эквивалентности	2-33
СМРР0	Одноразрядный компаратор для парафазных сигналов с нулевым спейсером, с парафазным выходом и индикацией входов	2-34
СМРР1	Одноразрядный компаратор для парафазных сигналов с единичным спейсером, с парафазным выходом и индикацией входов	2-35
МАЈВМ	Мажоритарная ячейка для трех унарных сигналов с унарным выходом	2-103
МАЈР	Мажоритарная ячейка для трех парафазных сигналов с парафазным выходом	2-104
UPC0	Преобразователь унарного сигнала в парафазный с нулевым спейсером	2-221
UPC1	Преобразователь унарного сигнала в парафазный с единичным спейсером	2-222

Индикаторные ячейки

В эту группу ячеек входят как **G**-триггеры, так и их части, не содержащие внутренней обратной связи.

Гистерезисные триггеры (**G**-триггеры) — ячейки, обеспечивающие индикацию окончания перехода из рабочей фазы в промежуточную (спейсер) и обратно как в функциональной части **СС**-схемы, так и в собственно индикаторе.

Имя **G**-триггера включает в себя обозначение ячейки, тип спейсера, признаки бифазных, парафазных и унарных индицируемых сигналов и их количество, сигнал управления, признак инверсии выхода, признак модификации, признак секции.



Тип спейсера:

- **0** – нулевой;
- **1** – единичный.

В ячейках только с унарными входами тип спейсера отсутствует.

Тип индицируемых сигналов:

- **I** – индикаторные унарные (непарные);
- **P** – парафазные (парные) со спейсером (три устойчивых состояния);
- **B** – бифазные (парные) без спейсера (два устойчивых состояния).

Ячейки с единичными парафазными и унарными входами обозначаются просто как **P** и **I** соответственно.

Признак инверсии **B** (в конце обозначения ячейки) указывает инверсию выхода.

Признак модификации может отсутствовать. Модификациями считаются G-триггеры, реализованные по мостовой схеме.

Признаки секции:

- **I** – входная;
- **O** – выходная.

В имени триггера указываются сигналы управления установкой и сбросом:

- **S** – синхронная установка (Set);
- **R** – синхронный сброс (Reset);
- **RS** – синхронные сброс и установка.

Имя индикатора образуется так же, как для ячейки со сложной функцией.

Признак модификации **M** может отсутствовать.

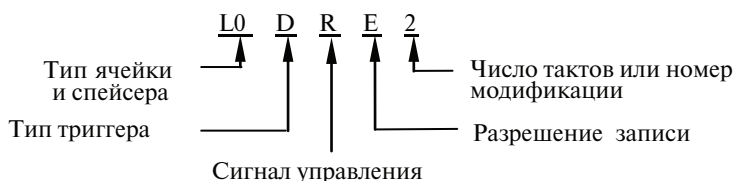
Имя	Функция	Страница
AOAOAI	Индикаторная ячейка с нулевым спейсером для четырех бифазных и одного унарного входов	2-14
AOAOI4	Индикаторная ячейка с нулевым спейсером для пяти бифазных и одного унарного входов	2-18
G0B32I	G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 1)	2-42
G0B3I	G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами	2-43
G0B3I2	G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 2)	2-44
G0B3IB	G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами, инверсным выходом	2-45
G0P2	G-триггер с нулевым спейсером и двумя парафазными входами	2-46
G0PI	G-триггер с нулевым спейсером, одним унарным и одним парафазным входами	2-47
G0PI2	G-триггер с нулевым спейсером, двумя унарными и одним парафазным входами	2-48
G1B32I	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 1). Первичное использование – в составе макроячейки S1RTE1	2-49

Имя	Функция	Страница
G1B3I	G-триггер с единичным спейсером, тремя бифазными и одним унарным входами. Первичное использование — в составе макроячейки S1RRE0	2-50
G1B3I2	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 2). Первичное использование — в составе макроячейки D1RE20	2-51
G1B3IB	G-триггер с единичным спейсером, тремя бифазными и одним унарным входами, двумя выходами. Первичное использование — в составе макроячейки S1RRE1	2-52
G1P2	G-триггер с единичным спейсером и двумя парафазными входами	2-53
G1PI	G-триггер с единичным спейсером, одним унарным и одним парафазным входами	2-54
G1PI2	G-триггер с единичным спейсером, двумя унарными и одним парафазным входами	2-55
GI2	G-триггер с двумя унарными входами	2-56
GI2M	G-триггер с двумя унарными входами и парафазным выходом	2-57
GI2RS	G-триггер с двумя унарными входами, парафазным выходом, асинхронными сбросом и установкой	2-58
GI3	G-триггер с тремя унарными входами	2-59
GI3M	G-триггер с тремя унарными входами, мостовая схема	2-60
GI3M1	G-триггер с тремя унарными входами и парафазным выходом	2-61
GI3RS	G-триггер с тремя унарными входами, парафазным выходом, асинхронными сбросом и установкой	2-62
GI4	G-триггер с четырьмя унарными входами	2-63
GI4M	G-триггер с четырьмя унарными входами и парафазным выходом	2-64
GI4RS	G-триггер с четырьмя унарными входами, парафазным выходом, асинхронными сбросом и установкой	2-65
GIM6	Шестивходовой G-триггер	2-66
GIM8	Восьмивходовой G-триггер	2-67
GIM12	Двенадцативходовой G-триггер	2-68
GIM16	Шестнадцативходовой G-триггер	2-69
GIMI	Двухвходовая секция многовходового G-триггера (входная)	2-70
GIMO	Двухвходовая секция многовходового G-триггера (выходная)	2-71

Триггеры — части макроячеек

Триггеры по уровню — полуфабрикаты, части макроячеек; для получения статуса СС-ячеек они должны быть дополнены соответствующим индикатором окончания переходных процессов.

Имя триггера включает в себя тип ячейки, тип спейсера, тип триггера, признаки управляющих сигналов, признак разрешения записи, число каскадов (тактов) или номер модификации.



Тип ячейки отвечает его функциональному назначению как логической части макроячейки (**L** — Logical part).

Тип спейсера:

- **0** — нулевой;
- **1** — единичный.

Обозначения типа триггера:

- **R** — RS-триггер;
- **D** — D-триггер.

В имени триггера указываются сигналы управления установкой и сбросом, в качестве которых могут использоваться следующие сигналы:

- **S** — синхронная установка (Set)¹;
- **R** — синхронный сброс (Reset);
- **P** — самосинхронная установка (Preset);
- **C** — самосинхронный сброс (Clear);
- **T** — самосинхронная предустановка (Timeset).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

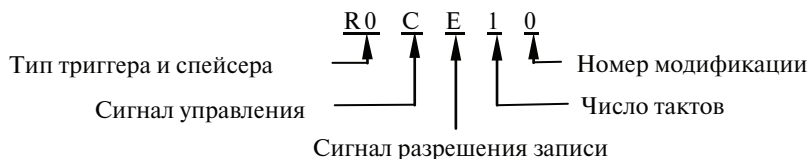
Число тактов может быть 1 или 2; ≥ 3 означает номер модификации.

¹ Здесь и далее под термином синхронный понимается сигнал, инициирующий не контролируемый по факту исполнения (не индицируемый) процесс сброса или установки. В реальной схеме это может быть сигнал тактового генератора (синхронный) или другой сигнал, предполагающий (или нет) запрос-ответное взаимодействие (асинхронный).

Имя	Функция	Страница
L0DRE1	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи. Первичное использование — в качестве синхронного триггера	2-74
L0DRE2	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-75
L0RCE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи. Первичное использование — в составе макроячейки R0CE20	2-76
L0RRE2	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи первой ступени. Первичное использование — в составе макроячеек S0RRE0 и S0RRE1	2-78
L0RRE3	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи. Может быть использован (как входная часть) для построения двухтактных RS-триггеров	2-80
L0RRE4	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи второй ступени. Первичное использование — в составе макроячейки S0RRE2	2-82
L0RTE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 1). Первичное использование — в составе макроячейки S0RTE0	2-84
L0RTE3	Двухтактный RS-триггер с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 2). Первичное использование — в составе макроячейки S0RTE1	2-86
L1DRE2	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-88
L1RCE2	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи. Первичное использование — в составе макроячейки R1CE20	2-90
L1RRE2	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи. Первичное использование — в составе макроячеек S1RRE0 и S1RRE1	2-92
L1RTE2	Двухтактный RS-триггер с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 1). Первичное использование — в составе макроячейки S1RTE0.	2-94
L1RTE3	Двухтактный RS-триггер с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 2). Первичное использование — в составе макроячейки S1RTE1	2-96

Функционально законченные триггеры

Имя триггера данных (функционально законченного триггера) включает в себя тип триггера, тип спейсера, признаки управляющих сигналов, признак разрешения записи, число каскадов (тактов) в триггере и номер модификации.



Обозначения типа триггера:

- **R** – RS-триггер;
- **D** – D-триггер.

Тип спейсера может принимать следующие значения:

- **0** – нулевой;
- **1** – единичный.

В имени триггера указываются сигналы управления установкой и сбросом, в качестве которых могут использоваться такие сигналы:

- **S** – синхронная установка (Set);
- **R** – синхронный сброс (Reset);
- **P** – самосинхронная установка (Preset);
- **C** – самосинхронный сброс (Clear).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи в триггер (может отсутствовать).

Число тактов может быть 1 или 2.

Модификациями считаются триггеры, имеющие инверсные входные сигналы, иное исполнение индикаторных ячеек или другие отличия. Номер модификации может принимать значения от 0 до 9.

Имя	Функция	Страница
D0E10	Однотактный D-триггер с нулевым спейсером и разрешением записи	2-36
D0RE10	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-37
D0SE10	Однотактный D-триггер с нулевым спейсером, синхронной установкой и разрешением записи	2-38
D1E10	Однотактный D-триггер с единичным спейсером и разрешением записи	2-39
D1RE10	Однотактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-40
D1SE10	Однотактный D-триггер с единичным спейсером, синхронной установкой и разрешением записи	2-41

Имя	Функция	Страница
R010	Однотактный RS-триггер с нулевым спейсером	2-120
R011	Однотактный RS-триггер с парафазным входом с нулевым спейсером и мощным выходом	2-121
R0C10	Однотактный RS-триггер с нулевым спейсером и самосинхронным сбросом	2-122
R0C11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером	2-123
R0C12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером	2-125
R0C13	Однотактный RS-триггер с парафазным входом с нулевым спейсером, самосинхронным сбросом и мощным выходом	2-127
R0CE10	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи	2-129
R0CE11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером	2-130
R0CE12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером	2-132
R0CE13	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и мощным выходом	2-134
R0E10	Однотактный RS-триггер с нулевым спейсером и разрешением записи	2-136
R0E11	Однотактный RS-триггер с нулевым спейсером, разрешением записи и мощным выходом	2-137
R0P10	Однотактный RS-триггер с нулевым спейсером и самосинхронной установкой	2-138
R0P11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером	2-139
R0P12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером	2-141
R0P13	Однотактный RS-триггер с самосинхронной установкой и мощным парафазным выходом с нулевым спейсером	2-143
R0PE10	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и разрешением записи	2-145
R0PE11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером	2-147
R0PE12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером	2-149
R0PE13	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и мощным выходом	2-151
R0R10	Однотактный RS-триггер с нулевым спейсером и синхронным сбросом	2-153
R0R11	Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронным сбросом и мощным выходом	2-154
R0RE10	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-155

Продолжение табл.

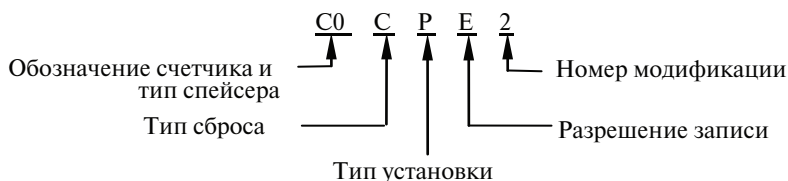
Имя	Функция	Страница
R0RE11	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией	2-157
R0RE12	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-160
R0RE13	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и мощным выходом	2-162
R0RE20	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным сигналом индикации	2-164
R0RE21	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией	2-166
R0RE22	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и прямым сигналом индикации	2-168
R0S11	Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронной установкой, разрешением записи и мощным выходом	2-170
R0SE13	Однотактный RS-триггер с нулевым спейсером, синхронной установкой, разрешением записи и мощным выходом	2-171
R111	Однотактный RS-триггер с парафазным входом с единичным спейсером и мощным выходом	2-173
R1C10	Однотактный RS-триггер с единичным спейсером и самосинхронным сбросом	2-174
R1C11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером	2-175
R1C12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером	2-177
R1C13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронным сбросом и мощным выходом	2-179
R1CE10	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи	2-181
R1CE11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером	2-183
R1CE12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером	2-185
R1CE13	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и мощным выходом	2-187
R1E11	Однотактный RS-триггер с единичным спейсером, разрешением записи и мощным выходом	2-189
R1P10	Однотактный RS-триггер с единичным спейсером и самосинхронной установкой	2-190
R1P11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером	2-192
R1P12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером	2-194
R1P13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронной установкой и мощным выходом	2-196

Имя	Функция	Страница
R1PE10	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и разрешением записи	2-198
R1PE11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером	2-200
R1PE12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером	2-202
R1PE13	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и мощным выходом	2-204
R1R11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронным сбросом и мощным выходом	2-206
R1RE10	Однотактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-207
R1RE11	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и частичной индикацией	2-208
R1RE13	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и мощным выходом	2-210
R1RE20	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-212
R1S11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронной установкой и мощным выходом	2-214
R1SE13	Однотактный RS-триггер с единичным спейсером, синхронной установкой, разрешением записи и мощным выходом	2-215

Разряд последовательного счетчика

Разряд последовательного счетчика на базе Т-триггера позволяет построить последовательный самосинхронный счетчик с нулевым или единичным спейсером. Разряд счетчика обеспечивает возможность предварительной установки в счетчике требуемого кода. Возможны два варианта установки — синхронный и самосинхронный; в зависимости от требований конкретного применения реализуется один из видов установки.

Имя счетного триггера включает в себя его обозначение, тип спейсера, управляющие сигналы, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера может принимать следующие значения:

- **0** – нулевой;
- **1** – единичный.

К управляющим сигналам относятся сигналы управления установкой и сбросом.

Типы сброса:

- **R** – синхронный сброс (Reset);
- **C** – самосинхронный сброс (Clear).

Типы установки:

- **S** – синхронная установка (Set);
- **P** – самосинхронная установка (Preset).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации (может отсутствовать).

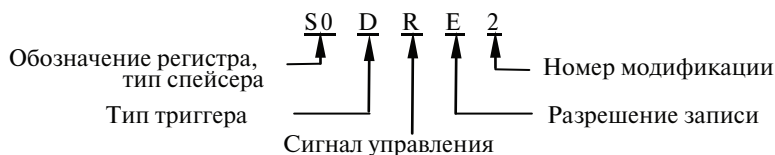
Номер модификации может отсутствовать.

Имя	Функция	Страница
C0CI	Счетный триггер с нулевым спейсером, самосинхронным сбросом и индикаторным выходом	2-25
C0CP	Разряд последовательного счетчика с нулевым спейсером, самосинхронным сбросом и установкой	2-26
C0R	Разряд последовательного счетчика с нулевым спейсером и синхронным сбросом	2-28
C0RI	Счетный триггер с нулевым спейсером, синхронным сбросом и индикаторным выходом	2-29
C1C	Разряд последовательного счетчика с единичным спейсером и самосинхронным сбросом	2-30
C1CP	Разряд последовательного счетчика с единичным спейсером, самосинхронным сбросом и установкой	2-31

Разряд сдвигового регистра

Разряд сдвигового регистра позволяет построить сдвиговый регистр с нулевым или единичным спейсером. Обеспечивается возможность предварительной установки в регистре требуемого кода. Возможны два варианта установки – синхронный и самосинхронный; в зависимости от требований конкретного применения реализуется один из видов установки.

Имя разряда сдвигового регистра содержит его обозначение, тип спейсера, тип триггера, на базе которого построен разряд регистра, управляющие сигналы, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера может принимать следующие значения:

- **0** – нулевой;
- **1** – единичный.

Обозначения типа триггера:

- **R** – RS-триггер;
- **D** – D-триггер.

К управляющим относятся сигналы управления установкой и сбросом.

Типы сброса:

- **R** – синхронный сброс (Reset);
- **C** – самосинхронный сброс (Clear).

Типы установки:

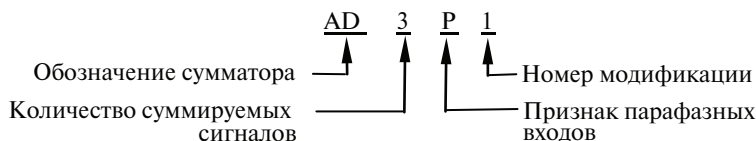
- **S** – синхронная установка (Set);
- **P** – самосинхронная установка (Preset).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации (может отсутствовать).

Ячейки одноразрядного сумматора

В эту группу входят ячейки суммирования парафазных сигналов, которые могут быть использованы при построении многоразрядных сумматоров и умножителей.

Имя ячейки включает в себя его обозначение и разрядность, признак парафазных входов и их количество, номер модификации ячейки (может отсутствовать).



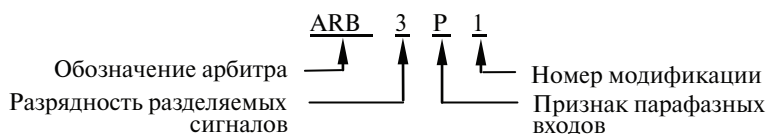
Модификациями считаются сумматоры с различной разрядностью входных шин, инверсными входными шинами или другими отличиями.

Имя	Функция	Страница
AD1P1	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом	2-7
AD1P2	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом (быстродействующая модификация)	2-8
AD1P3	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и выходами	2-9

Арбитры

В эту группу входят ячейки арбитража унарных или парафазных сигналов.

Имя ячейки включает в себя его обозначение и разрядность, признак парафазных входов и их количество, номер модификации ячейки (может отсутствовать).

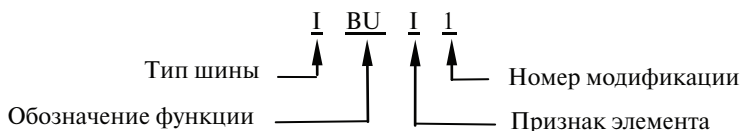


Модификациями считаются арбитры с различной разрядностью входных шин, инверсными входными шинами или другими отличиями.

Имя	Функция	Страница
ARB0	Асинхронный арбитр	2-22

Ячейка шины

Ячейка шины обеспечивает организацию шины внутри или вне поля БМК. Имя ячейки включает в себя тип шины, обозначение функции, признак ячейки и номер модификации.



Тип шины может принимать следующие значения:

- I – внутренняя шина (Internal);
- E – внешняя шина (External).

Обозначение функции – ячейка шины (Bus Unit).

Признак ячейки шины может принимать следующие значения:

- I – входная ячейка шины (Input);
- O – выходная ячейка шины (Output).

Модификациями считаются ячейки шины, отличающиеся уровнем сигналов разрешения, уровнем доопределения шины и т.п. Номер модификации может отсутствовать.

Имя	Функция	Страница
IBUI	Вход внутренней шины	2-72
IBUO	Выход внутренней шины	2-73

Макроячейки

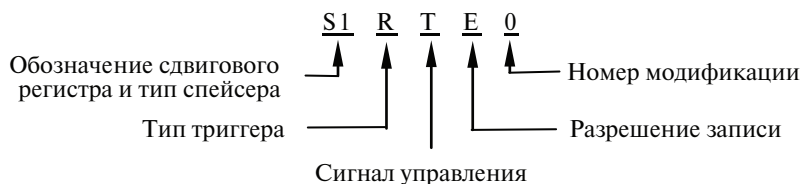
Здесь собраны функционально сложные ячейки, которые предполагается использовать достаточно широко, но невозможно реализовать топологически как базовые ячейки. Макроячейка представляет собой комбинацию базовых ячеек, которая используется как единая ячейка, выполняющая сложную функцию. Ограниченное число внутренних связей в ней реализуется на общем трассировочном пространстве кристалла БМК. Каждая макроячейка содержит индикатор окончания переходных процессов.

Использование макроячеек позволяет повысить эффективность проектирования самосинхронных БИС на БМК.

Макроячейка не имеет соответствующего топологического примитива.

При проектировании топологии схемы макроячейка реализуется совокупностью нескольких топологических примитивов, соответствующих ячейкам, составляющим его.

Макроячейки, представленные здесь, делятся на две группы. Первые четыре ячейки составляют группу триггеров, имена которых образуются по правилам, установленным для функционально законченных триггеров. Во вторую группу входят разряды сдвиговых регистров. Имя разряда сдвигового регистра содержит его обозначение, тип спейсера, тип триггера, признак управляющих сигналов, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера:

- 0 — нулевой;
- 1 — единичный.

Тип триггера может быть следующим:

- R — RS-триггер;
- D — D-триггер.

В имени регистра сдвига указываются сигналы управления установкой и сбросом. В качестве управляющих могут использоваться следующие сигналы:

- S, ST — синхронная установка (Set, SetTime);
- R, RT — синхронный сброс (Reset, ResetTime);
- P — самосинхронная установка (Preset);
- C — самосинхронный сброс (Clear).

Обозначения ST и RT используются, если S и R заняты для информационных входов.

Признак разрешения записи E (Enable) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

Модификациями считаются регистры сдвига, использующие различные индикаторные ячейки.

Номер модификации может отсутствовать.

Имя	Состав- ляющие	Функция	Страница
D0RE20	-	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	2-223
D1RE20	-	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	2-244
R0CE20	L0RCE2, OAOA1	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи	2-225
R1CE20	L1RCE2, AOAO1	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи	2-227
S0RRE0	L0RRE2, G0B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи	2-229
S0RRE1	L0RRE2, G0B3IB	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом	2-231
S0RRE2	L0RRE4, OAOA17	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи	2-233
S0RTE0	L0RTE2, G0B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи	2-235
S0RTE1	L0RTE3, G0B32I	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов	2-238
S1RRE0	L1RRE2, G1B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом и разрешением записи	2-241
S1RRE1	L1RRE2, G1B3IB	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом	2-243
S1RTE0	L1RTE2, G1B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи	2-245
S1RTE1	L1RTE3, G1B32I	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов	2-248

Описание базовых функциональных ячеек для разработки самосинхронных схем и методология их проектирования

Система обозначений и состав библиотек 5503CC/5507CC 1

2 Описание базовых функциональных ячеек 2

Методология проектирования самосинхронных схем 3

Анализ самосинхронности схем ограниченного объема методом
диаграмм переходов 4

Раздел 2. Описание базовых логических функциональных ячеек

В разделе представлено описание базовых ячеек самосинхронных библиотек 5503СС/5507СС.

В описание базовой ячейки входят:

- имя ячейки;
- условное графическое обозначение ячейки;
- назначение ячейки;
- описание работы ячейки;
- таблица истинности;
- таблица задержек;
- максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы;
- коэффициент объединения по всем входам;
- рекомендуемая нагрузочная способность;
- размер ячейки;
- область применения;
- рекомендации по применению (в необходимых случаях).

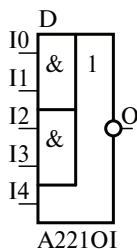
В описании ячейки могут отсутствовать какие-либо пункты, если они не требуются.

В таблице задержек приводятся значения задержек от входов до выходов ячейки при нагрузке на два типовых входа; на внешнем контакте периферийных ячеек — емкостная нагрузка 15 пФ. Значения задержек взяты из проектов тестовых БИС в САПР «Ковчег».

Если ячейка представлена одновременно в библиотеках 5503СС/5507СС, то данные таблицы задержек соответствуют семейству 5503СС. Ориентировочно — данные по задержкам для семейства 5507СС при напряжении питания 3.0 В идентичны данным для семейства 5503СС при напряжении питания 5.0 В.

Коэффициент объединения по входу показывает относительную величину соответствующей входной емкости в условных единицах, эквивалентных емкости одной пары затворов транзисторов n- и p-типа ячейки поля БМК.

Коэффициент объединения указывается только для тех входов, где он отличается от 1.

A221OI **Логическая ячейка 2И-2И-3ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n = 2$ и p-типа $N_p = 3$.

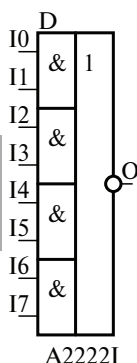
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	4.2	1.9	4.5	2.1	3.8	1.8	4.2	2.0	2.9	0.8

A2222I **Логическая ячейка 2И-2И-2И-2И-4ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

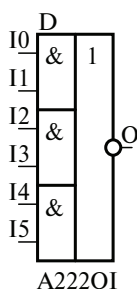
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер ячейки составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	5.9	2.6	5.5	2.5	5.5	2.5	5.2	2.4	5.2	2.3
Путь	$I5 \Rightarrow O$		$I6 \Rightarrow O$		$I7 \Rightarrow O$					
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}				
	4.5	2.5	4.8	2.1	4.3	2.0				

A222OI **Логическая ячейка 2И-2И-2И-3ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

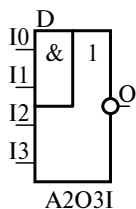
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$		$I5 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.8	2.2	4.1	2.2	2.5	1.9	2.9	2.1	2.3	1.8	2.2	1.7

A2O3I**Логическая ячейка 2И-3ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

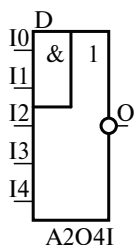
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	1.3	1.1	1.2	1.1	1.2	0.5	0.9	0.6

A2O4I**Логическая ячейка 2И-4ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

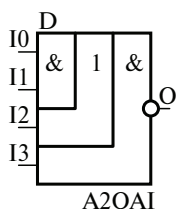
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер ячейки составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.6	1.5	3.2	1.5	3.4	1.2	3.6	1.2	3.3	0.9

A2OAI**Логическая ячейка 2И-2ИЛИ-2И-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

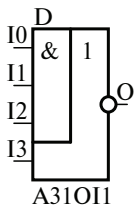
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	1.0	1.4	0.8	1.4	0.8	0.9	0.7	0.9

A310П**Логическая ячейка 3И-2ИЛИ-НЕ**

A310П

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

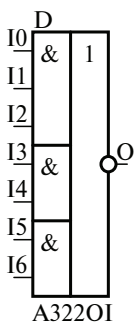
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 2 ячейки поля БМК.

Область применения — синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	3.7	2.8	3.3	2.7	2.9	2.4	1.8	0.9

A322OI**Логическая ячейка 3И-2И-2ИЛИ-НЕ**

A322OI

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

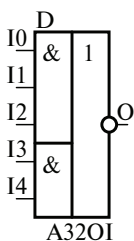
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 4 ячейки поля БМК.

Область применения — синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	4.5	3.4	4.2	3.2	3.9	3.0	4.5	2.5	4.1	2.5
Путь	I5⇒O		I6⇒O							
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰						
	4.7	2.8	4.3	2.8						

A32OI**Логическая ячейка 3И-2И-2ИЛИ-НЕ**

A32OI

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

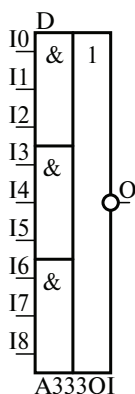
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 3 ячейки поля БМК.

Область применения — синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	3.2	3.2	3.0	3.0	2.7	2.7	2.4	1.9	2.2	1.7

A333OI**Логическая ячейка 3И-3И-3ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

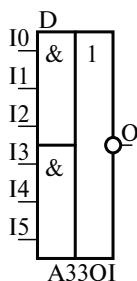
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	5.2	4.7	5.0	4.6	4.8	4.7	4.9	4.2	4.3	4.2
Путь	I5⇒O		I6⇒O		I7⇒O		I8⇒O			
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}		
	4.6	4.2	4.0	3.8	3.7	3.5	4.0	3.7		

A33OI**Логическая ячейка 3И-3И-2ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

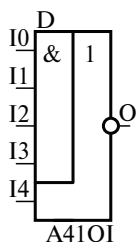
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.2	3.6	2.9	3.4	2.7	3.2	2.8	3.0	2.6	2.8	2.4	2.7

A41OI**Логическая ячейка 4И-2ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

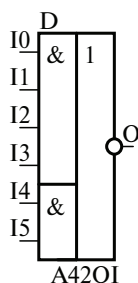
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер ячейки составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	4.2	3.8	3.9	3.8	3.6	3.8	3.2	3.8	2.1	0.8

A42OI**Логическая ячейка 4И-2И-2ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

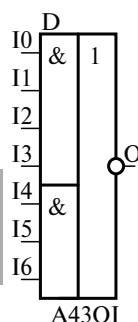
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер ячейки составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$		$I5 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.7	4.8	3.9	4.4	3.4	4.3	3.1	4.1	2.7	2.0	2.5	1.9

A43OI**Логическая ячейка 4И-3И-2ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

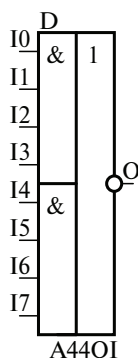
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер ячейки составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$		$I5 \Rightarrow O$		$I6 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.8	5.2	3.7	5.2	3.5	4.8	3.1	4.7	2.5	3.0	2.7	3.2	3.0	3.3

A44OI**Логическая ячейка 4И-4И-2ИЛИ-НЕ**

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

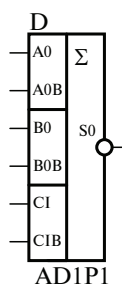
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер ячейки составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	4.0	5.7	3.8	5.5	3.7	5.2	3.2	5.1	3.3	4.8
Путь	I5⇒O		I6⇒O		I7⇒O					
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
	3.3	4.7	3.0	4.7	2.7	4.2				

AD1P1**Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом**

Ячейка **AD1P1** — неполный сумматор, выполняющий сложение двух парафазных одноразрядных чисел (**A0**, **A0B** и **B0**, **B0B**) и парафазного сигнала переноса (**CI**, **CIB**). Результат — унарный сигнал суммы (**S0**). Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **A0** и **A0B** — 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер ячейки составляет 4 ячейки поля БМК.

Область применения — синхронная и СС-схемотехника. При использовании в СС-схеме все входы должны быть парафазными с любым, но одинаковым спейсером.

Таблица истинности

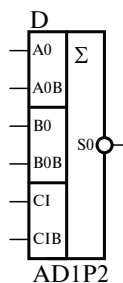
№ строки	Входы						Выход
	A0	A0B	B0	B0B	CI	CIB	S0
1	1	*	1	*	*	1	0
2	1	*	*	1	1	*	0
3	*	1	1	*	1	*	0
4	*	1	*	1	*	1	0
5	0	*	0	*	*	0	1
6	0	*	*	0	0	*	1
7	*	0	0	*	0	*	1
8	*	0	*	0	*	0	1
9	1	1	0	0	*	*	Z
10	1	1	*	*	0	0	Z
11	0	0	1	1	*	*	Z
12	*	*	1	1	0	0	Z
13	0	0	*	*	1	1	Z
14	*	*	0	0	1	1	Z

Таблица задержек

Путь	A0⇒S0		A0B⇒S0		B0⇒S0		B0B⇒S0		CI⇒S0		CIB⇒S0	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	6.2	3.6	6.2	3.3	6.0	3.4	6.0	3.1	6.5	3.9	6.7	3.4

AD1P2

Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом (быстродействующая модификация)



Максимальное количество последовательно соединенных транзисторов — как у **AD1P1**; общее количество транзисторов на 25 % больше, чем у **AD1P1**, быстродействие на 5–10 % лучше.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Коэффициент объединения по входам **A0**, **A0B**, **C1**, **C1B** — 2.

Размер ячейки составляет 5 ячеек поля БМК.

Таблица задержек

Путь	A0 $\Rightarrow$ S0		A0B $\Rightarrow$ S0		B0 $\Rightarrow$ S0		B0B $\Rightarrow$ S0		C1 $\Rightarrow$ S0		C1B $\Rightarrow$ S0	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	6.2	3.2	5.9	3.2	5.8	3.1	5.8	3.0	6.2	3.3	6.3	3.2